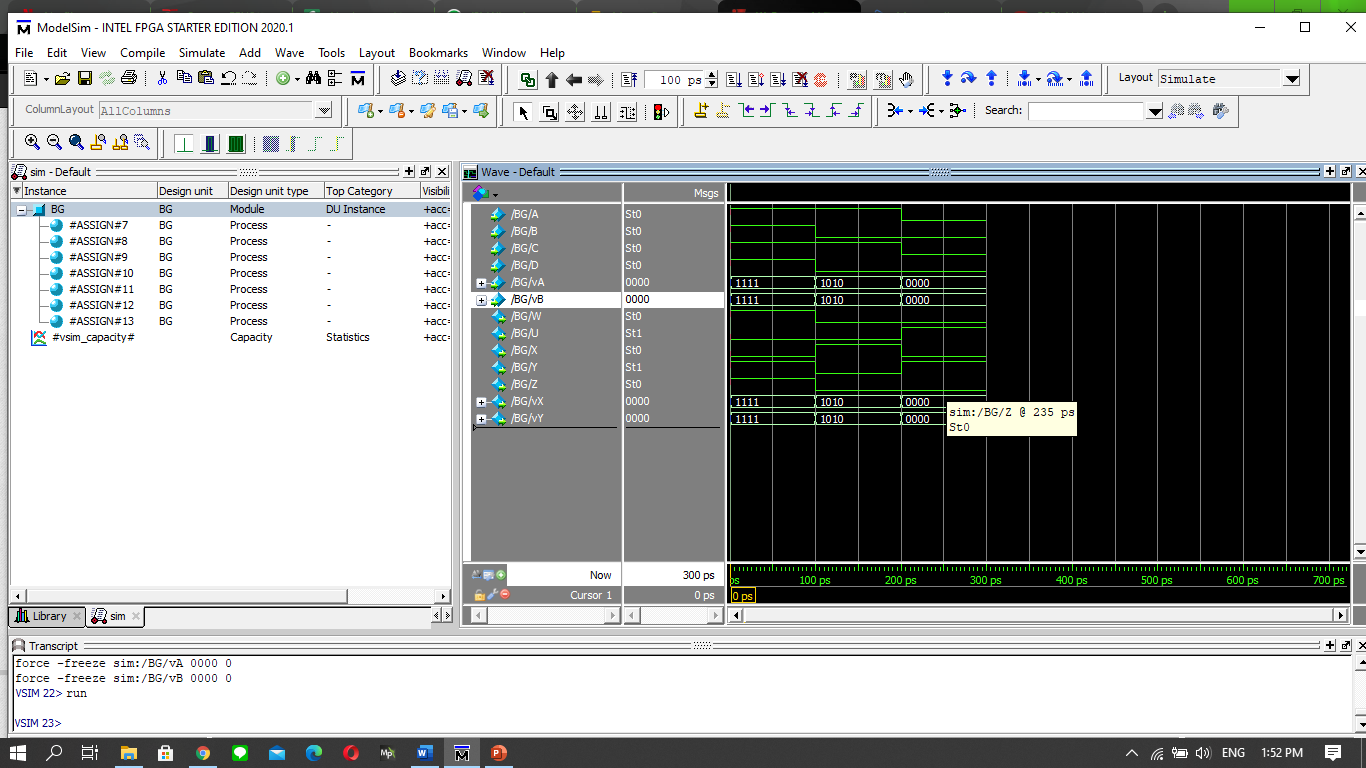
BAGINDA MIRAJ WILLIAMSYAH  
1102174057  
EL-41-F

TUGAS 6

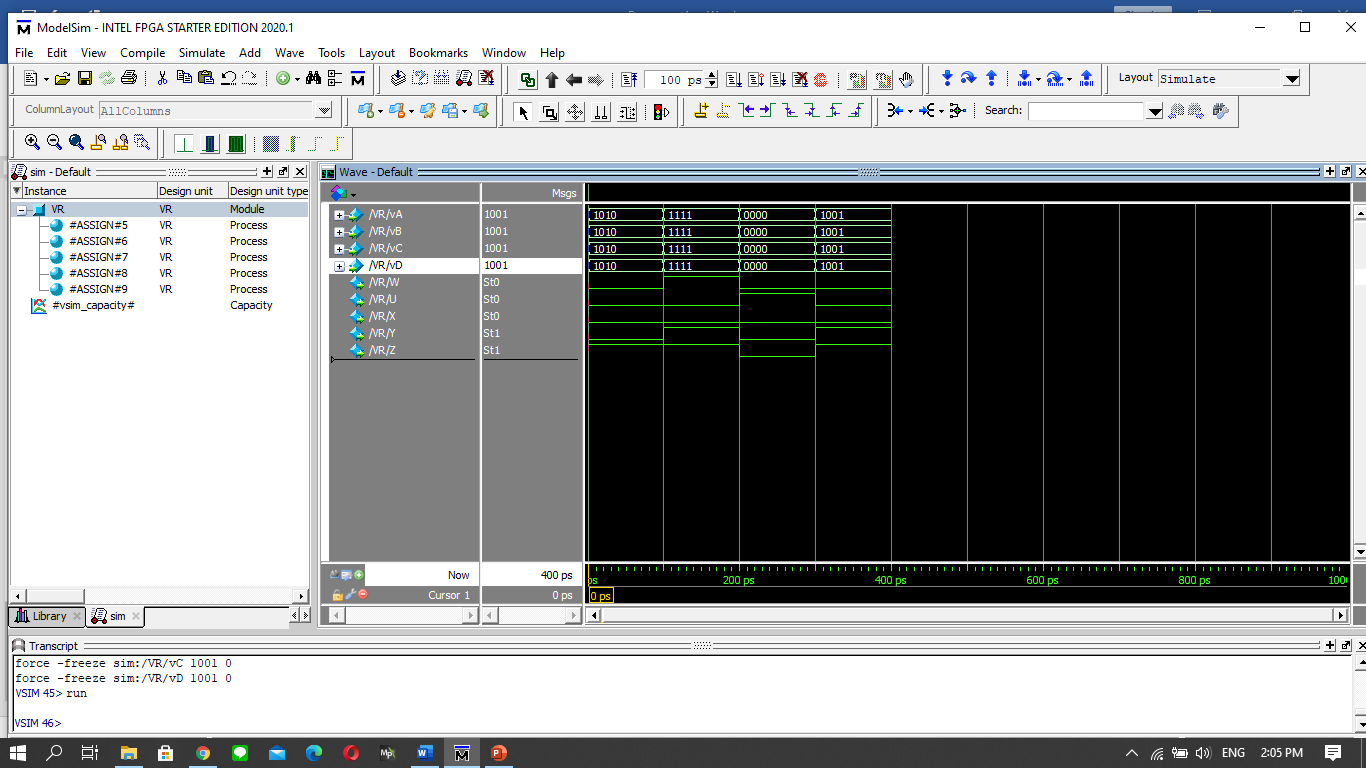
1. Lakukan simulasi dari **Basic Gates** pada slide hal. 6 dengan Modelsim. Beri beberapa contoh input, screenshoot hasilnya, dan beri penjelasan.



Untuk Basic gate yaitu gerbang logika dasar yang di liputi AND,OR,XOR,XNOR, serta untuk output z sendiri yaitu hasil dari output A AND B dan C AND D setelah itu di OR kan,

Sedangkan variable vX yaitu basic gerbang logika AND 4 bit dan variable vY basic gerbang logika OR 4 bit.

1. Lakukan simulasi dari **Vector Reduction** pada slide hal. 7 dengan Modelsim. Beri beberapa contoh input, screenshoot hasilnya, dan beri penjelasan.



Untuk Vector Reduction sendiri

1. output W yaitu hasil dari 4bit vA di gerbaang logika AND satu sama lain

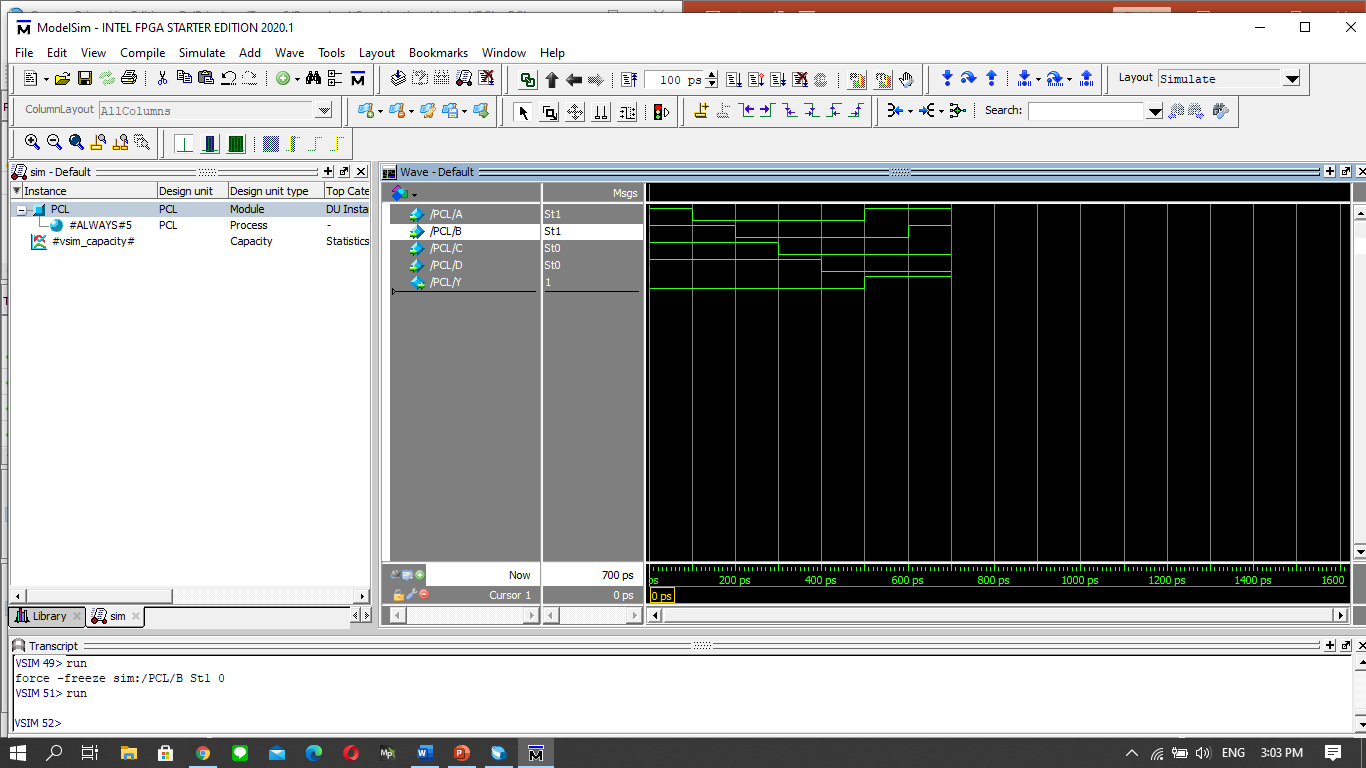
2. output U yaitu hasil dari 4bit vB di gerbaang logika NOR satu sama lain

3. output X yaitu hasil dari 4bit vD di gerbaang logika XOR satu sama lain

4. output Y yaitu hasil dari 4bit vA di gerbang logika OR satu sama lain lalu digerbang logika AND dengan 1bit vB.

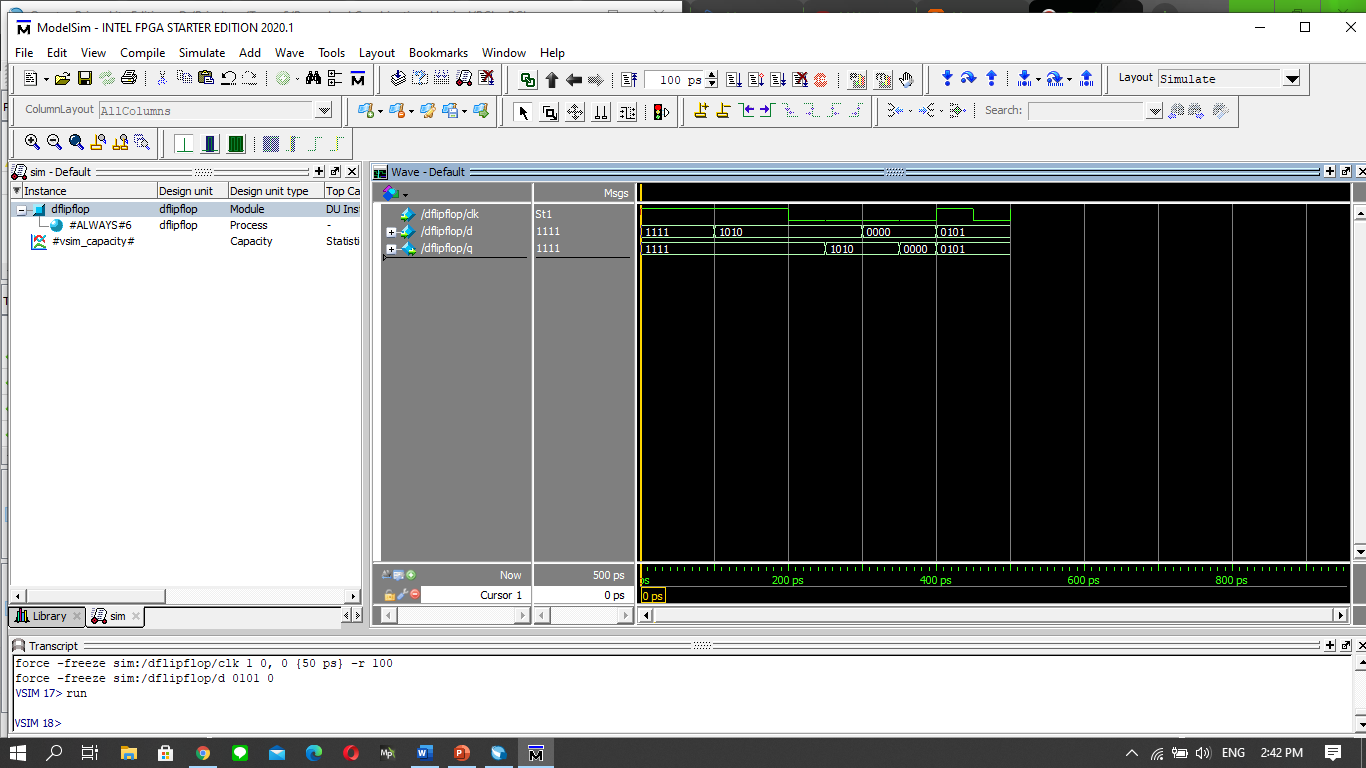
5. output Z yaitu hasil dari 4bit vA di gerbang logika AND 4bit vB satu sama lain lalu output masing-masing di gerbang logika OR

1. Lakukan simulasi dari **Procedural Combinational Logic** pada slide hal. 8 dengan Modelsim. Beri beberapa contoh input, screenshoot hasilnya, dan beri penjelasan.



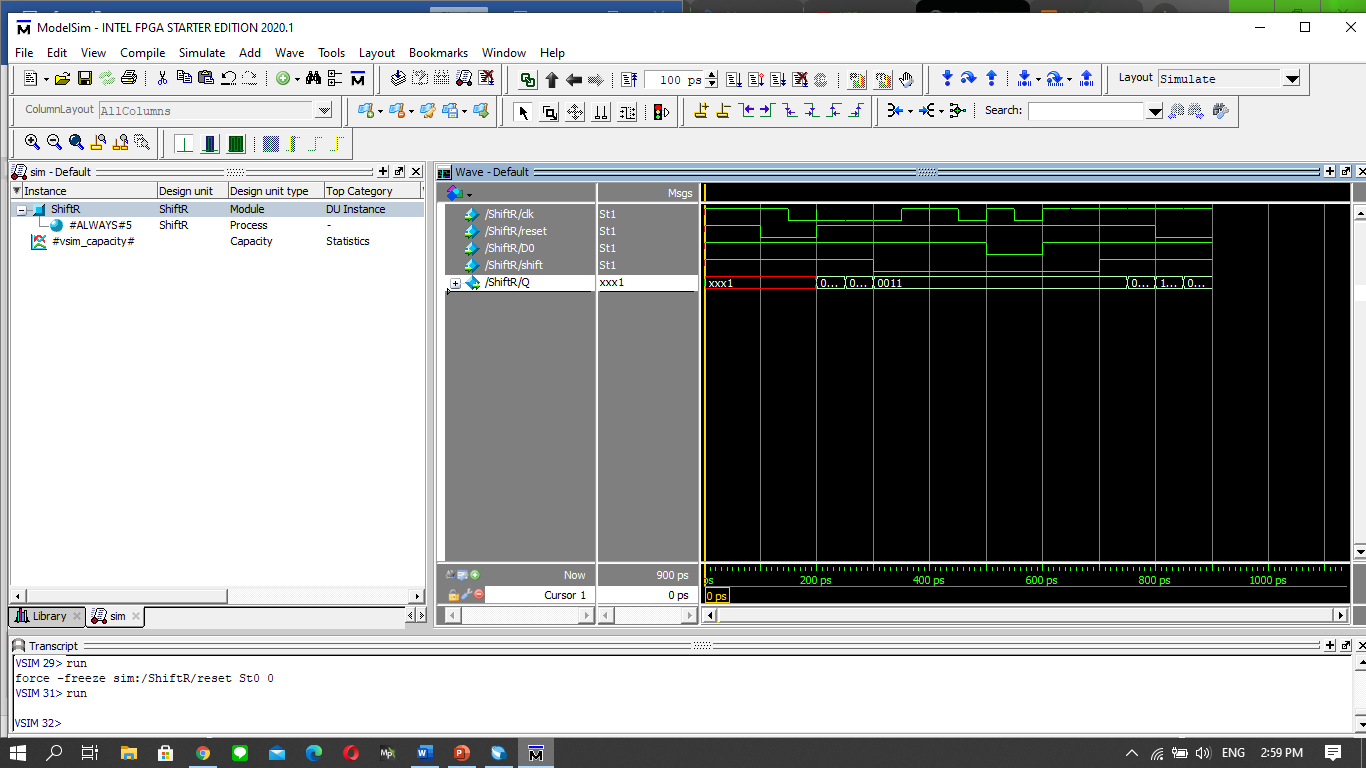
Procedural Combinational Logic yaitu output Y yang di hasil kan dari A OR B dan C NAND D lalu di AND kan.

1. Lakukan simulasi dari **D Flip Flop** pada slide hal. 14 dengan Modelsim. Beri beberapa contoh input, screenshoot hasilnya, dan beri penjelasan.



D Flip-Flop akan menyimpan dan menampilkan level logika apa pun yang diterapkan ke terminal datanya selama input clock HIGH. Setelah input clock menjadi LOW "set" dan "reset" input flip-flop keduanya ditahan pada level logika "1" sehingga tidak akan mengubah status dan menyimpan data apa pun yang ada pada outputnya sebelum transisi clock terjadi. Dengan kata lain outputnya "terkunci" pada logika "0" atau logika "1".

1. Lakukan simulasi dari **Shift Register** pada slide hal. 16 dengan Modelsim. Beri beberapa contoh input, screenshoot hasilnya, dan beri penjelasan.



Shift registers pada dasarnya adalah tipe register yang memiliki kemampuan untuk mentransfer (“shift”) data.

Register secara general adalah perangkat storage yang dibuat dengan menghubungkan sejumlah tertentu flip-flop secara serial dan sejumlah data (sejumlah bits) yang dapat disimpan oleh register, dan senantiasa secara langsung bersifat proporsional dengan jumlah flip-flop, disebabkan masing-masing flip-flop hanya dapat menyimpan satu bit data dalam satu waktu.